

(19)日本国特許庁(JP)

(12) 公開特許公報(A)

(11)特許出願公開番号

特開平6-170368

(43)公開日 平成6年(1994)6月21日

(51)IntCl.⁵

C 0 2 F 1/46

識別記号

庁内整理番号

F I

技術表示箇所

A 9344-4D

審査請求 未請求 請求項の数1(全 4 頁)

(21)出願番号 特願平4-343306

(22)出願日 平成4年(1992)11月30日

(71)出願人 000201113

船井電機株式会社

大阪府大東市中垣内7丁目7番1号

(72)発明者 野々村和幸

大阪府大東市中垣内7丁目7番1号 船井
電機株式会社内

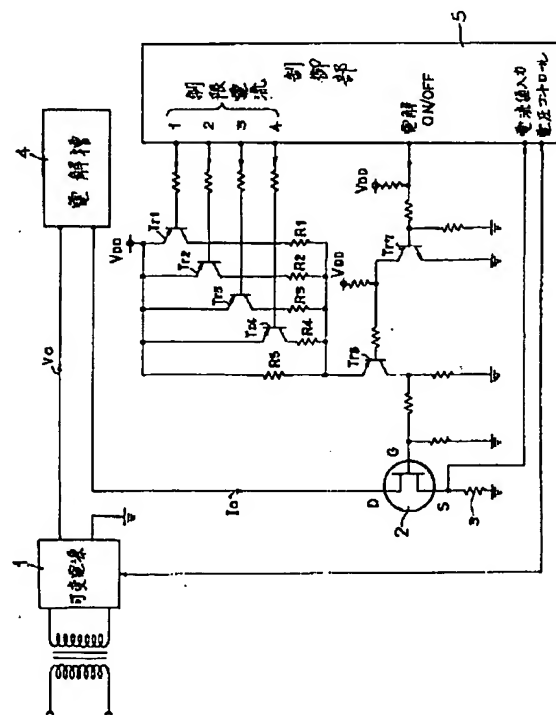
(74)代理人 弁理士 佐藤 英昭

(54)【発明の名称】 イオン水生成器のFETによる電流制御・制限装置

(57)【要約】

【目的】 FETを用いた簡単な回路で電流制限装置を構成する。

【構成】 制御部5は可変電極1の出力を電圧コントロール信号により電解モードに制御し、制限電流設定信号によりトランジスタスイッチTr1~Tr4のON/OFF選択によって電圧制御型抵抗R1~R5の合成並列抵抗値を可変して、Tr5, Tr7によるドライバ回路を介するFET2の駆動電解電源ON/OFFを可変制御することにより、FETの r_{DS} , V_{GS} を電解モード毎の制限電流に対応して設定し電流制限を行う。



1

【特許請求の範囲】

【請求項1】 電解槽に設定された電解モードの電解電源を印加して電解を行いアルカリイオン水と酸性水を生成するイオン水生成器において、電解電流制御用のFETと、該FETのソース・アース間に接続して電解電流を電流値入力として検出するソース抵抗と、前記FETを駆動するためのドライバ回路と、夫々のトランジスタスイッチのON/OFFにより並列合成抵抗値が可変されるn個のはしご状接続の電圧制御型抵抗によって、前記FETのゲート・ソース間電圧を可変する制限電流回路と、該制限電流回路への制限電流設定信号の送出により、前記FETのゲート・ソース間電圧を可変して制限電流を設定し、電流制限制御を行う制御部を備えたことを特徴とするイオン水生成器のFETによる電流制御・制限装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、イオン水生成器に関し、詳しくはFETを使用して制限電流により電流制御を行うイオン水生成器の電流制御・制限装置に関する。

【0002】

【従来の技術】従来のイオン水生成器における電流制御としては、例えば、図4に示す様に、電源トランス6とブリッジ整流回路7との間にコイル8を設け、このコイル8の飽和を利用してイオン生成器9に流れる電流を制限する様にしたものが提供されていた。

【0003】

【発明が解決しようとする課題】しかしながら、このような従来の装置ではコイルを用いる不十分な電流制限が行われていることなどから、電源トランスの効率が悪く電解槽への出力電圧も50%程度しかとれず、コイル飽和を利用していることによる損失、発熱の発生もあって、効果的なコントロールが難しいという問題がある。

【0004】本発明は上述の問題点に鑑みてなされたものであり、電圧制御素子として出力電流制御が可能なFETの定電流特性を利用した制限電流制御により、簡単な構成で効果的な制御を可能とするイオン水生成器のFETによる電流制御・制限装置を提供することを目的とする。

【0005】

【課題を解決するための手段】上記目的を達成するため、本発明は、電解槽に設定された電解モードの電解電源を印加して電解を行いアルカリイオン水と酸性水を生成するイオン水生成器において、電解電流制御用のFETと、該FETのソース・アース間に接続して電解電流を電流値入力として検出するソース抵抗と、前記FETを駆動するためのドライバ回路と、夫々のトランジスタスイッチのON/OFFにより並列合成抵抗値が可変されるn個のはしご状接続の電圧制御型抵抗によって、前記FETのゲート・ソース間電圧を可変する制限電流回

2

路と、該制限電流回路への制限電流設定信号の送出により、前記FETのゲート・ソース間電圧を可変して制限電流を設定し、電流制限制御を行う制御部を備えたことを特徴とするものである。

【0006】

【作用】上記構成とすることにより、制御部は設定電解モードの電圧を電解槽に印加し、電解ON/OFF信号によってドライバ回路を介しFETをON駆動して電解を開始する際、制限電流設定信号を制限電流回路の各トランジスタスイッチへ送出して、ON/OFFするトランジスタスイッチを選択することにより、はしご状接続の電圧制御型抵抗の合成並列抵抗値を可変して、ドライバ回路からの電解ON/OFF出力を可変しFETのゲート・ソース間電圧（以降 V_{GS} と表す）を可変制御して電解モードごとの制限電流を設定することによって、電流制限制御を行うので、FETの定電流特性を利用した簡単な構成で電流制限が実現できる。

【0007】

【実施例】以下、本発明の一実施例を図に基づいて説明する。図1は本発明の一実施例の構成図である。

【0008】図1において、1は電解モードごとの電解電圧を電解槽4へ出力する可変電源である。2は電解電源ON/OFF、電流制限を行うFETであり、3はFET2のソース抵抗で両端電圧として電流値入力を出力する。トランジスタ $Tr5$ 、 $Tr7$ の回路は電解ON/OFF信号により、FET2を駆動するドライバ回路である。

【0009】 $R1$ 、 $R2$ 、 $R3$ 、 $R4$ 、 $R5$ はドライバ回路の電解ON/OFF出力を可変するための、はしご状接続の電圧制御型抵抗であり、 $Tr1 \sim Tr4$ は電圧制御型抵抗 $R1 \sim R4$ のトランジスタスイッチであって、これらで制限電流回路を構成する。5は制御部であり、I/Oメモリ、CPUを有するマイコン制御によって、可変電源1への電圧コントロール信号による電解モードの電圧設定、電解ON/OFF信号によるFET2のON/OFFによる電解ON/OFF制御と、同時に制限電流設定信号により $Tr1 \sim Tr4$ のON/OFF選択を行いFET2の V_{GS} を可変制御して電解モードごとの制限電流の設定、ソース抵抗3からの電流値入力の監視等を行う。

【0010】次に動作について説明する。制御部5は電解モード（例えば、1～4段階の電解電圧）による電解電圧 V_o を、可変電源1へ電圧コントロール信号を送出して設定する。電解ON/OFF信号をトランジスタ $Tr5$ 、 $Tr7$ によるドライバ回路を介してFET2のゲートへ送出して、FET2をONし、電解を開始して電解電流 I_o に比例するソース抵抗3の両端電圧を電流値入力し、過電流を監視する。

【0011】図2はFET2のピンチオフ特性曲線図であり、電解ON/OFF信号によってFET2の V_{GS} が

3

上昇してピンチオフ電圧 V_p に達した時に、FET2はチャネル抵抗 r_{DS} が最小一定となりドレイン・ソース(D-S)間が完全導通となるFET2の動作特性を示している。いま、可変電源1に設定した電解モードを仮りに電解モード4:28Vとして、電解モード4における制限電流を2Aとすれば、制御部5は制限電流設定信号1, 2, 3, 4をTr1~Tr4へ送出して全トランジスタスイッチを選択ONし、電圧制御型抵抗R1~R5を全て並列接続として、合成抵抗値 $R_0 = R_1 \parallel R_2 \parallel R_3 \parallel R_4 \parallel R_5$ を最小とし、ドライバの電解ON/OFFをデューティ制御することにより I_o が制限電流2Aに制限される様にFET2の V_{GS} を設定する。

【0012】図3はFET2の V_{DS} (ドレイン・ソース間電圧)と I_o の V_{GS} に対する定電流特性曲線図であり、FET2のゲート・ソース間電圧を例えば電解モード4対応の V_{GS4} に設定すれば定電流特性により2Aの制限電流となる様子を表している。同様に、電解モード3, 2, 1についても制限電流設定信号による、電圧制御型抵抗R1~R4の接続選択によって V_{GS3} , V_{GS2} , V_{GS1} を設定すれば、夫々の電解モードごとの制限電流が設定される。

【0013】尚、図1ではスイッチTr1~Tr4によるR1~R4が4個であり、電解モード1~4に対応する4通りの制限電流設定を行うものとして説明したが、4個の抵抗R1~R4をON/OFFする組み合わせを考えれば、 $2^4 = 16$ 通りのステップ設定が可能であり、さらにn個の抵抗を使用すれば 2^n 通り可能となり、電解ON/OFFデューティ制御をさらに細かく微調整することも可能である。

【0014】このような、本実施例においては、FET2の定電流特性を利用し電圧制御型抵抗R1~R5によりFET2の V_{GS} を可変して電流制限、制御が行われ、 $V_{GS} = V_p$ (ピンチオフ電圧)の場合に V_{DS} は最小値、一定となる最大電流制限となり、電解モード1~4の各電解モードごとの制限電流は電圧制御型抵抗による4段

4

階設定によって、各モードの制限電流に相当する V_{DS} , V_{GS} になるようにコントロールされ、電解槽に加わる電圧が一定であれば、その場合、場合のチャネル抵抗 V_{DS} により電流制限されるので、従来例の電流制限に比較して電源トランスの効率等に影響されない、効果的な電流制限を簡単な構成で実現でき、安全な電流制御が可能となる。

【0015】

【発明の効果】以上説明したように、本発明によれば、電解電流制御用のFETと、電流検出用のFETのソース抵抗と、FETを駆動するためのドライバ回路と、夫々のトランジスタスイッチのON/OFFにより並列合成抵抗値が可変されるn個のはしご状接続の電圧制御型抵抗によって、ドライバ回路の電解ON/OFF出力調整によりFETのゲート・ソース間電圧を可変する制限電流回路と、制限電流回路への制限電流設定信号の送出によりFETのゲートソース間電圧を可変して制限電流を設定し電流制御を行う制御部を備えたので、FETを使用した簡単な構成で電流制御、制限装置が実現できる効果がある。

【図面の簡単な説明】

【図1】本発明の一実施例の構成図である。

【図2】図1に示すFETのピンチオフ特性曲線図である。

【図3】図1に示すFETの定電流特性曲線図である。

【図4】従来技術を示す要部の回路図である。

【符号の説明】

1 可変電源

2 FET

3 ソース抵抗

4 電解槽

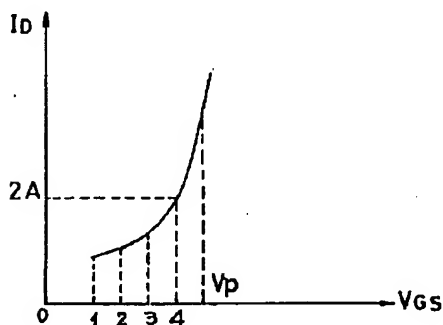
5 制御部

R1~R5 電圧制御型抵抗

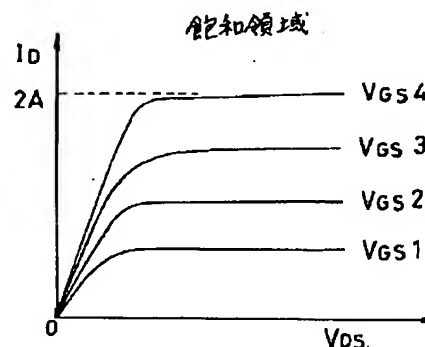
Tr1~Tr4 トランジスタスイッチ

Tr5, Tr7 ドライバ回路トランジスタ

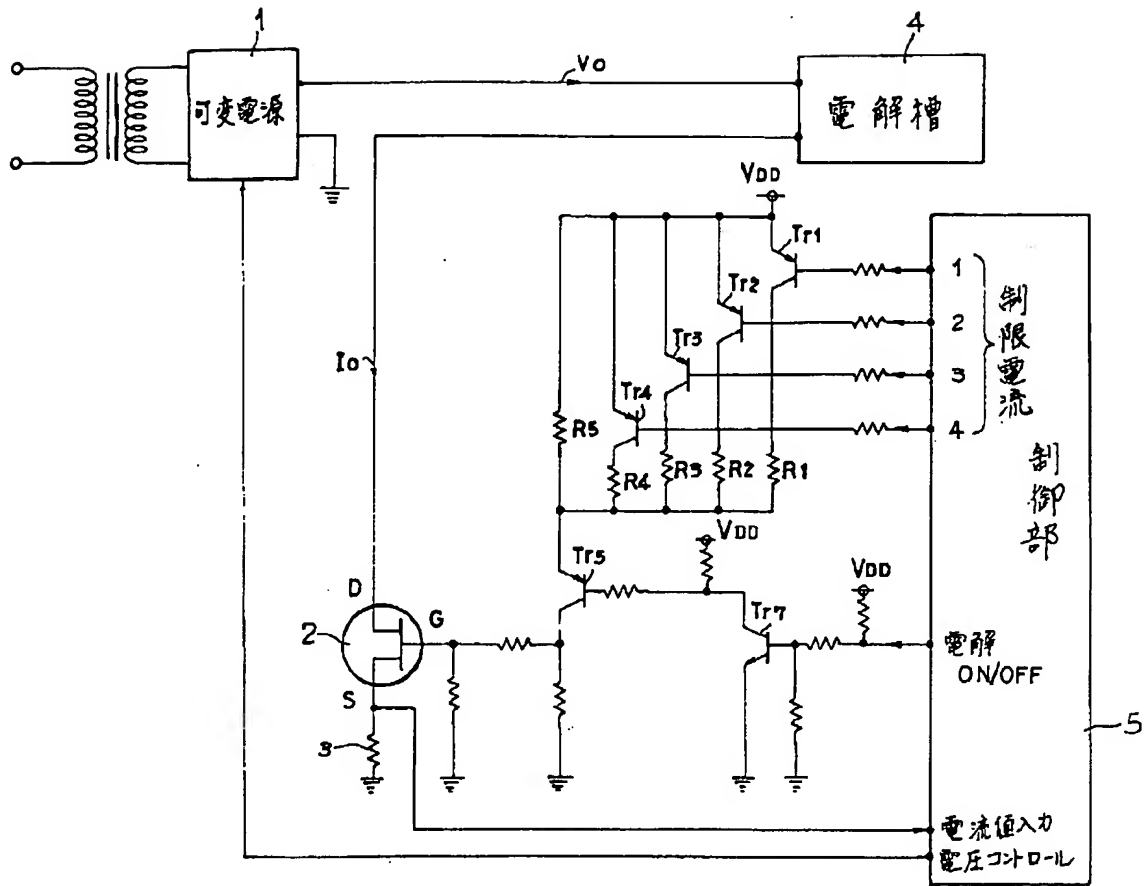
【図2】



【図3】



【図 1】



【図4】

